



HyperLynx

HyperSuite EXT

LineSim <i>Pre-layout signal integrity, EMC and crosstalk simulation</i>	BoardSim <i>Post-layout signal integrity, EMC and crosstalk simulation</i>
--	--

New Options

- ✓ MultiBoard
- ✓ SPICE Writer
- ✓ UNIX

www.hyperlynx.com

Tutorial 使用说明书

2002-5-20

TUTORIAL 使用说明书	1
第一章 LINESIM	3
1.1 在 LINESIM 里时钟信号仿真的教学演示	3
1.1.1 使用 FILE/OPEN LINESIM FILE 加载例题 "CLOCK.TLN"	3
1.1.2 点击 "SCOPE/SIM MENU" 选择 "RUN SCOPE" 出现数字示波器。	3
1.1.3 采用终接负载的方法修正时钟网络	4
1.1.4 采用 IBIS 方法的系列终端仿真。	4
1.1.5 利用终端 "WIZARD" 功能寻找最佳终接数值。	5
第二章 时钟网络的 EMC 分析	6
2.1 对是中网络进行 EMC 分析	6
第三章 LINESIM'S 的干扰、差分信号以及强制约束特性	7
3.1 "受害者" 和 "入侵者"	7
3.2 如何定线间耦合。	7
3.3 运行仿真观察交出干扰现象	8
3.4 增加线间距离减少交叉干扰 (从 8 MILS 到 12 MILS)	8
3.5 减少绝缘层介电常数减少交叉干扰	8
3.6 使用差分线的例子 (关于差分阻抗)	8
3.7 仿真差分线	9
第四章 BOARDSIM	10
4.1 快速分析整板的信号完整性和 EMC 问题	10
4.2 检查报告文件: 报告文件中搜索违反信号完整性的地方。	10
4.3 对于时钟网络详细的仿真	10
4.4 运行详细仿真步骤:	10
4.5 时钟网络 CLK 的完整性仿真	11
第五章 关于集成电路的 MODELS	13
6.1 模型 MODELS 以及如何利用 TERMINATOR WIZARD 自动创建终接负载的方法	13
6.2 修改 U3 的模型设置 (在 EASY.MOD 库里 CMOS, 5V, FAST)	13
6.3 选择模型 (管脚道管脚) CHOOSING MODELS INTERACTIVELY (交互), PIN-BY-PIN	13
6.4 搜寻模型 (FINDING MODELS (THE "MODEL FINDER" SPREADSHEET))	14
6.5 例子: 一个没有终接的网络	14

HyperLynx

HyperLynx 是高速仿真工具，包括信号完整性（signal-integrity）、交叉干扰（crosstalk）、电磁屏蔽仿真（EMC）。

第一章 LineSim

许多 PCB 设计按照预想的防止出现各种问题的方案进行设计，然而最终设计失败了。使用这个工具可以在 PCB 设计的初期，将考虑到的方案进行仿真，使得在实际布板的时候更加合理的将布线工具的约束条件设好。由于普通的 PCB 电路图不包括进行信号完整性、交叉干扰、电磁屏蔽仿真需要的各种信号的物理信息。比如，时钟在 PCB 原理图上只不过是几条从驱动器到接收器之间的若干条连线而已。然而就是这样的线，它是单一的一根线还是组线？是在 PCB 外层布线还是在内层布线？这些都是影响信号完整性的重要因素。

1.1 在 LineSim 里时钟信号仿真的教学演示

假设你在进行一个 PCB 板的设计，时钟信号又是连线较多的，通过这个例子，可以了解 LineSim 起到的作用。步骤如下：

1.1.1 使用 File/Open LineSim File 加载例题 "CLOCK.TLN"

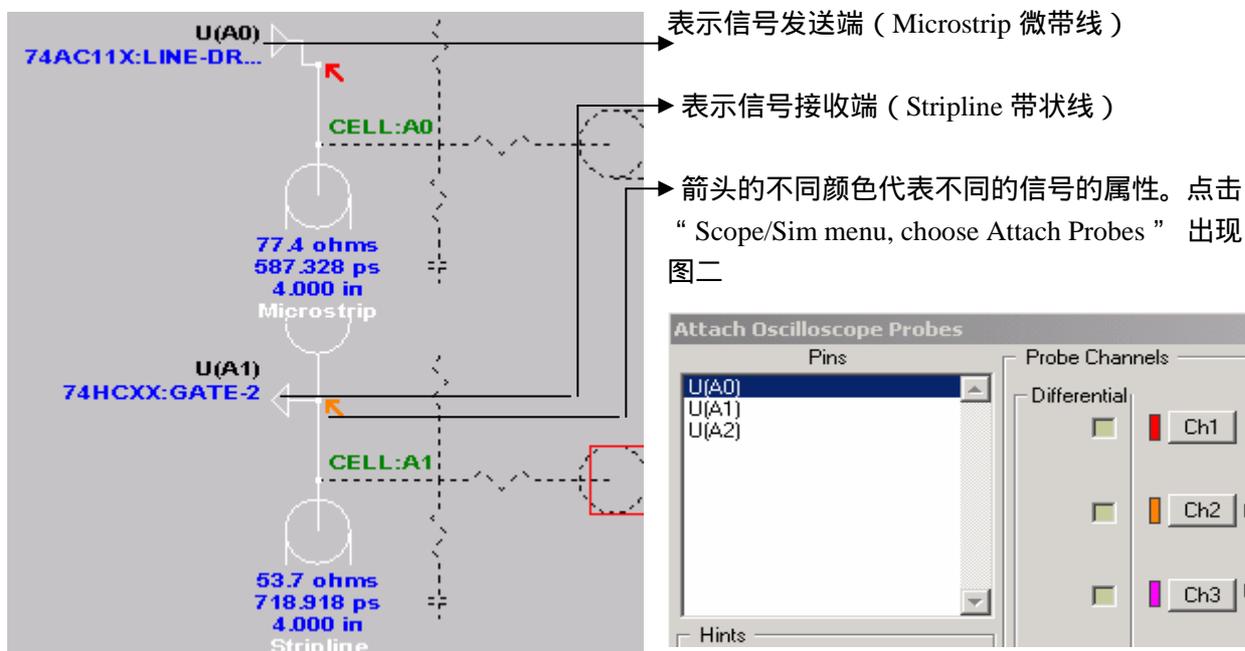


图 1.1 LineSim 图

图 1.2 信号属性

1.1.2 点击“Scope/Sim menu”选择“Run Scope”出现数字示波器。

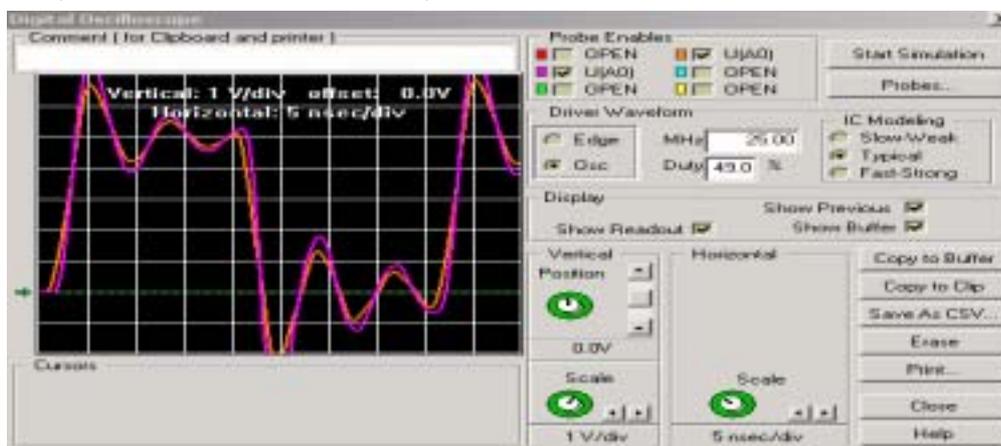


图 1.3 仿真数字示波器

在波形驱动区“Driver Waveform”域选择“Osc”，并将频率设为 25MHz；在水平扫描（Horizontal Scale）区修改每度 5 妙。点击“Start Simulation”按钮开始仿真。在数字示波器上可以看到方波结果。

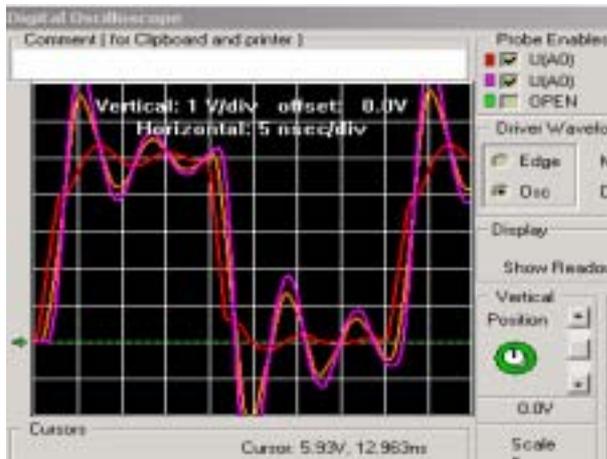


图 1.4 仿真结果

红色：输入驱动信号。
 橙色、紫色：接收信号。
 显然，与驱动信号相比，接收的信号质量太差，有明显的过冲，这样的信号在实际中是不能使用的。

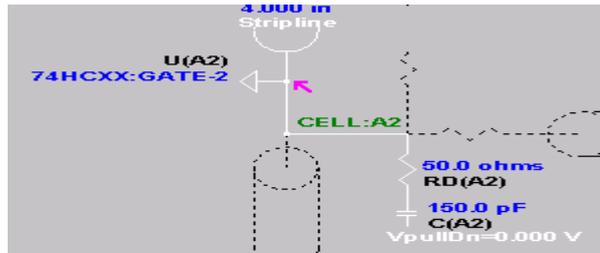


图 1.5 修改终接负载

1.1.3 采用终接负载的方法修正时钟网络

i. 激活负载（单击右键，负载由灰色变白），修改负载数值（用左键点击数值，在出现的窗口中修改）。电阻由 10k 欧姆 =》50、电容由 100p 法 =》150p 法。再次运行仿真。

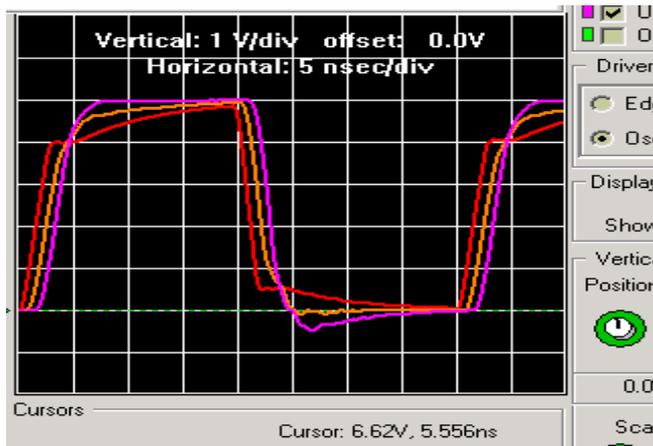


图 1.6 终接负载后的仿真结果

显然此时激励信号与接收信号之间的差别大大缩小了（同样 25MHz，5s）。如果增加电容值还可以减少过冲。

1.1.4 采用 IBIS 方法的系列终端仿真。

在制作原理图的时候可以引入“IBIS”模型数据。

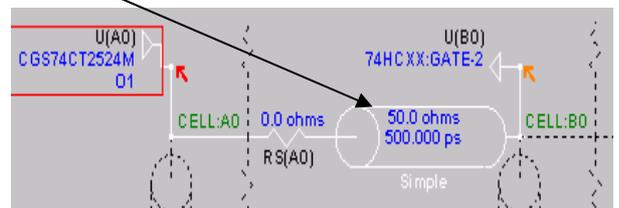


图 1.7 采用 IBIS 数据的电路图

在“Run Scope”的窗口中有一项是关系到 IBIS 仿真的设置：当 IC Modeling 选择不同数值时，仿真结果差异很大。

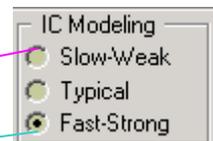


图 1.8



图 1.9 IC Modeling 选择 Slow - Weak



图 1.10 IC Modeling 选择 Fast - Strong

1.1.5 利用终端“Wizard”功能寻找最佳终接数值。

从“Wizards”菜单中选择“Terminator Wizard”，在 Wizard 对话框中有“选择网络”(Select Net)：双击这里。将自动进行中断优化，并给出结果。

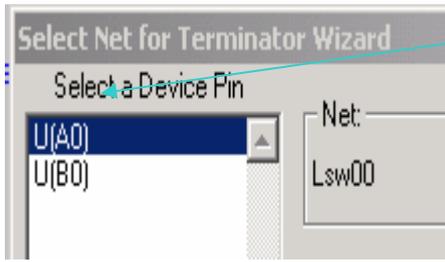


图 1.11 Terminato Wizards 中选择网络

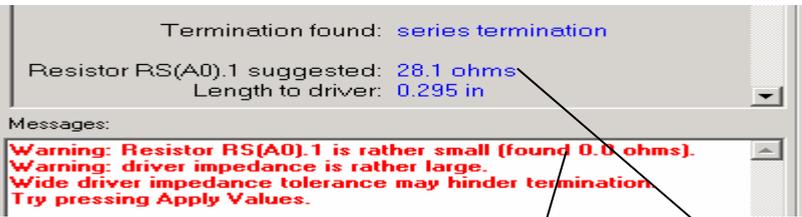


图 1.12 自动优化 原 IBIS 中 0 欧姆 = 》 28.1 欧姆

在图 12 中按下，按钮  则在电路图中该电阻被修改。

第二章 时钟网络的 EMC 分析

2.1 对是中网络进行 EMC 分析

从文件菜单中重新打开“CLOCK.TLN”文件。从“Spectrum/Sim menu”选择“Spectrum Analyzer”项。出现“Spectrum Analyzer”窗口(图 2.1) :选择“Settings”,在出现的“Set Spectrum Analyzer Probing”

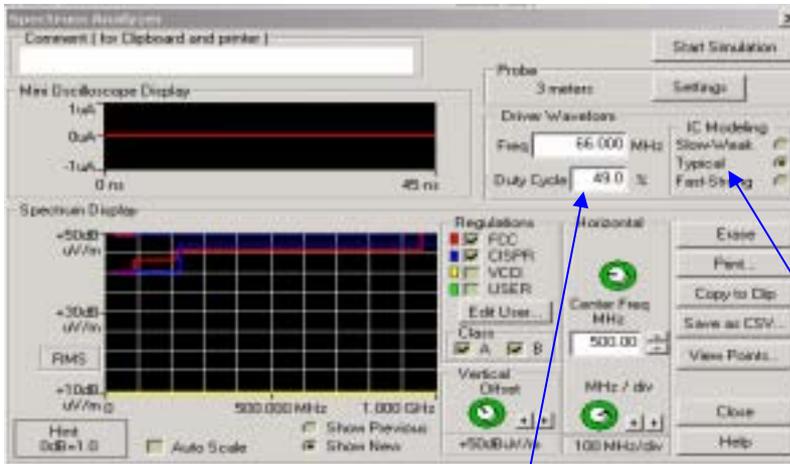


图 2.1 Spectrum Analyzer 窗口

窗口中设置：“Automatically Find Positions for Maximum Radiation”;



图 2.2 Set Spectrum Analyzer Probing 窗口的设置

还要设置：Choose antenna probe.

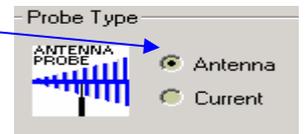


图 2.3

在图 2.1 中设置“Driver Waveform”为 33MHz，在“IC Modeling”选择“Typical”，然后运行“Start Simulation”，将出现电磁分析的频谱图 2.4。

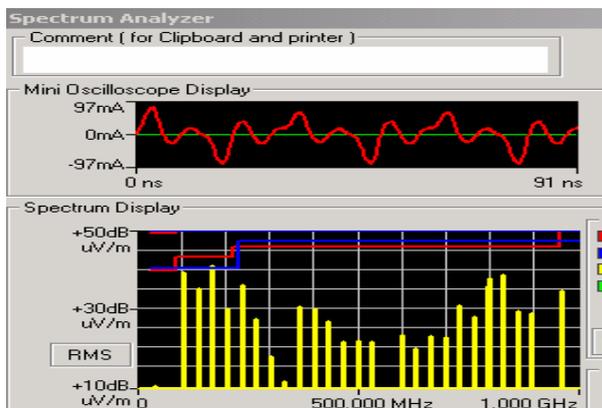


图 2.4 未经优化的时钟网络 EMC 仿真

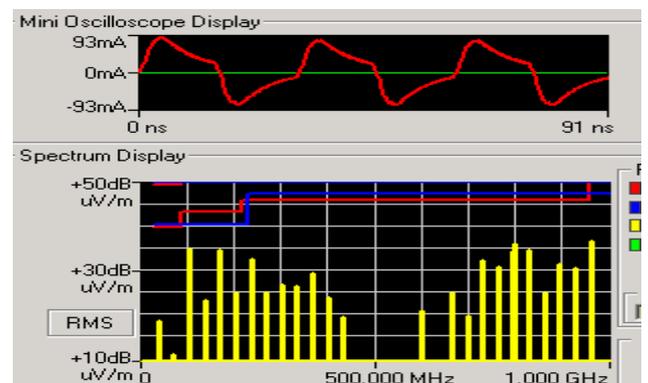


图 2.5 经优化的时钟网络 EMC 仿真

考察分析结果，黄色垂直条代表了时钟信号仿真时的实际作用。红色线（FCC 美国）、蓝色线（CISPR 欧洲）代表国家规定的容限。（注意到在 100 MHz - 200 MHz 范围，有些频谱是超标的。）

现在运行进行过终端处理的同样的网络。打开“CLOCKFIX.TLN”文件，在同样进行设置后，再次运行“Start Simulation”（图 2.5），显然这时所有的时谱线均在标准线之下了。

注意：如果你在电原理图“SER_IBS.TLN”里运行 EMC，你将什么结果也得不到，这是因为在电原理图中传输线（transmission line）被定义成“无物理参数的简单线条”。EMC 仿真前必须对传输线进行物理定义。

第三章 LineSim's 的干扰、差分信号以及强制约束特性

如果有两条信号频率不同的高速线出现，将会出现交叉干扰，那么，两线间的距离应该是多少？走线层怎样安排？这些要依靠“交叉干扰分析”

3.1 “受害者”和“入侵者”

从文件菜单中重新打开" XT Trace Separation.TLN"文件。里面有三条不同的传输线，IC 驱动为高速 3.3V 高速 CMOS 器件，其模型在 Demolibzimu 的 EASY.MOD 中。

用鼠标指在 ICs 附近将出现一个红色的框，点击右键就会出现“Assign Models”对话框（图 3.2）：

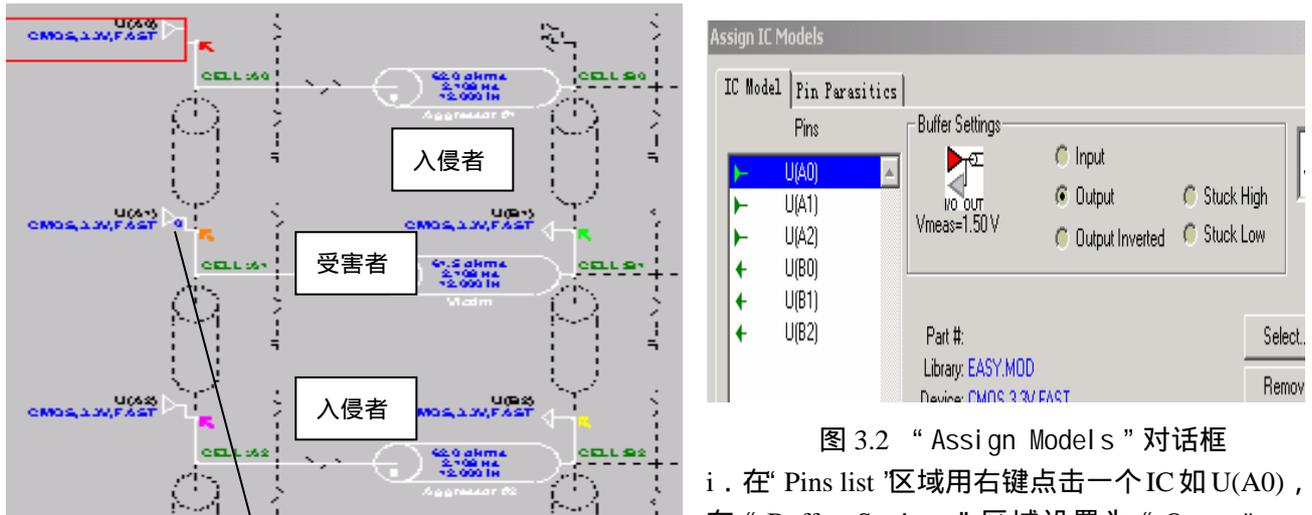


图 3.1 用于交叉干扰的电路

图 3.2 “Assign Models”对话框

i. 在“Pins list”区域用右键点击一个 IC 如 U(A0)，在“Buffer Settings”区域设置为“Output”，意味着在防震得时候，它是由高到底或者由低到高变化。

ii. 同样设置 A2 为输入输出，设置 A1 为“Stuck Low”（被干扰），就是说仿真时该线上没有信号变化。注意：在 A1 处有一个“0”标记表示该线处于“Stuck Low”状态。

3.2 如何定线间耦合。

LineSim's 交叉干扰的仿真要求在电路图的线上作出耦合信息（详情见 LineSim's basic, non-crosstalk features, click here）。任何数量的耦合区域、任何一条线都可以被定义。（Demo 版没有）一旦一条线被定义，在电路图上将有不同的表现：将光标指向该线时将出现黄色框。

a) 右击黄色框就出现“Edit Transmission Line”

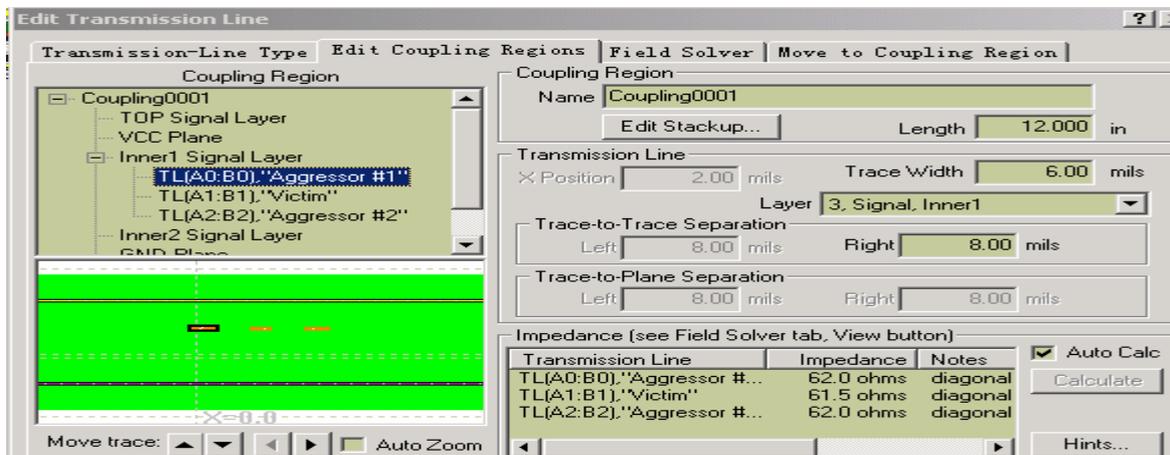


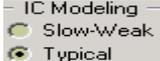
图 3.3 右键点击黄色框出现的“Edit Transmission Line”窗口

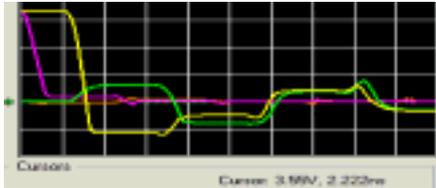
b) 点击“Edit Coupling Regions tab.”可以看到在中间层有三条线，在右边将显示线的信息。譬如：

所有的线在中间层、边到边线距 8mils、耦合区间长 12 英寸等。

3.3 运行仿真观察交出干扰现象

从“Scope/Sim”菜单运行“Run Scope”，在“Driver Waveform”区设置  为沿触发。在

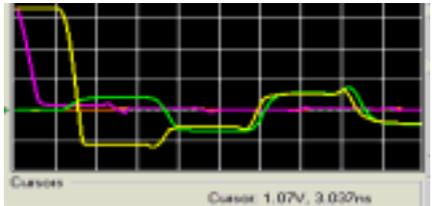
“IC Modeling”区域设置为“典型” 。在“Horizontal Scale”区设置成 2 nsec/div。然后运行出现下图：



其中绿色和橙色波形显示了中间那条被干扰的线上接收端电压，可以看到橙色线几乎没有造成干扰，这是由于该线接收端是阻抗很低的 CMOS 驱动器。然而，绿色线就不同了，它有大于 1V 的干扰。

图 3.4 8mil 线距的线间交叉干扰

3.4 增加线间距离减少交叉干扰（从 8 mils 到 12 mils）



在图 3.1 右边点亮“middle trace”，在“Trace-to-Trace Separation”区域将原来的 8 mils 增加到 12 mils。可以看到明显地绿色干扰线的电压幅度从 3.55v 降到 1.07V。

图 3.5 12mil 线距的线间交叉干扰

3.5 减少绝缘层介电常数减少交叉干扰

除了增加线间距离外，还有很多方法可以减少交出干扰。其中之一就是改变 PCB 板的介质层的介电常数。（层叠 stackup）下面是一个将绝缘层的厚度从 10mil 减到 5mil 的例子。

a) 在“Edit”菜单中选择“stackup editor”。

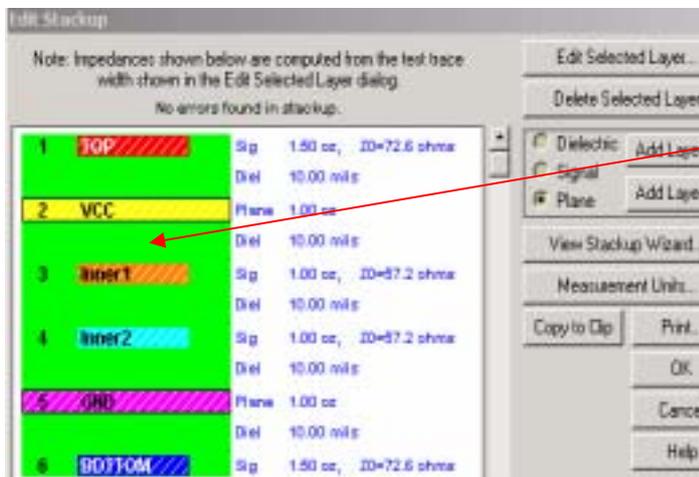


图 3.6 Edit 菜单中“Edit stackup”窗口（改变层厚）

b) 将鼠标指在“VCC”和“Inner1”中间的区域，并且双击，将出现修改层厚的对话框将 10mil 改成 5mil。同理将“Inner2”和“GND”之间的厚度也改成 5mil。

从再次从 cope/Sim 菜单选择运行 Run Scope，并且按下 Simulation button 按钮，此时可以看到绿色的干扰信号幅度只有 240mv 了。

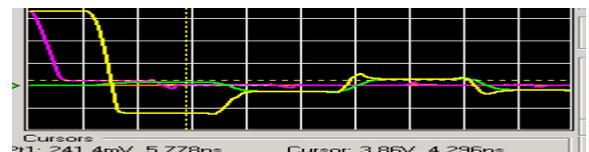


图 3.7 层厚从 10mil 减到 5mil 后的干扰

实际上许多因素都会产生交叉干扰：驱动 IC 的电器特性、线宽、线间距离、线长、线上的终接电阻和 PCB 板层的分配，层厚等，采用 LineSim（布局布线前）方法可以让设计者在实际布线之前确定一些最合理的布线参数。

3.6 使用差分线的例子（关于差分阻抗）

在使用一对差分线的时候，你经常有意的将两根线紧密并列排列在一起，因此任何的外部信号如果在 一根线上引起干扰，则必然在另一根线上也引起干扰，由于差分特性在末端这些干扰将被抵消。

实际上对于差分来讲“插法阻抗”是一个非常重要的参数，使用 LineSim's（布局布线前）它可以自动计算插法阻抗数值和耦合参数，并且给出参考数值。

a) 打开"XT Coupled Differential.TLN". 电路图中有两条传输线 ,这是一对使用 "LVDS" (total swing voltage is about 400 mV)技术的传输线。

b) 现在注意如何定义 U(A1)是相对 U(A0)反相的。

在电路图的左边用鼠标任意指向一个驱动 IC , 将出现红色框, 右击鼠标键将出现 " IC Models dialog "



在 " list " 区点击鼠标一次 U(A1), 在 " Buffer Settings " 区可以看到它是被设置为"Output Inverted." Output Inverted 。就是说它的开关是相对于上面的驱动信号而言。假设驱动器的阻抗厂家给定是 100 欧姆的差分阻抗, 而且在电路图中已经这样设定了。来看看仿真结果 :

在图纸上任选一个传输线, 并打开传输线编辑窗口, 选择 " Edit Coupling Regions " 标签。在右下角的

" Impedance " 区域, 中

(Differential)	123.0 ohms
----------------	------------

 差分阻抗为 123 欧姆, 显然大大高于设计的 100

欧姆。现在通过减少线间距离 (只是一种方法) : 从 8mil 到 6mil 的方法来减少差分阻抗。在确定以后, 再



次打开传输线编辑框此该线的差分阻抗变成了 113.欧姆, 还是显得太高。再用减少层间介电常数 (厚度) 的方法进一步



减少差分阻抗。在编辑菜单中选择 " tuckup button " ,改变"TOP"

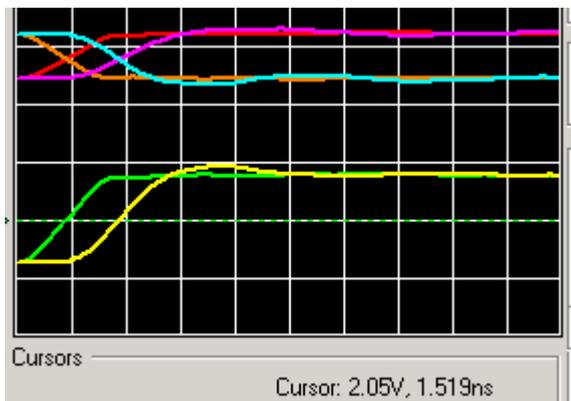
和 "VCC" 层之间的厚度从 10mil 到 5mil. 然后再次打开传输线编辑窗口, 此时线间的差分阻抗已经变成 97 欧姆。此时再次调整线间距离为 7mil, 这时的线间阻抗是 100.1 欧姆。

可以在传输线编辑器的 " Field Solver " 标签下详细的观察结果。当 " Edit Coupling Regions " 项还是选中的情况下, 点击 " Field Solver " 标签。在 " Numerical Results " 区域单击 " View " 按钮就会出现报告文件。它包括了如下信息 :

阻抗和终端摘要、物理的输入数据、Field-Solver 输出数据 、差分阻抗、共模阻抗、导线与地之间的阻抗、最佳终端阵列。

3.7 仿真差分线

设置水平标度 : 500 psec/div.、垂直标度 : 500 mV/div, 进行仿真 : .



(记住 LVDS 驱动的 p - p 电压 400-mV) 红、紫、兰、橙是取自信号的尾部示波器探针在两个驱动和两个接收之间测量的。绿色和黄色线信号来自驱动和接收的单端信号。

第四章 BoardSim

一些 PCB 工具软件支持 BoardSim 格式转换,它们是 :Accel EDA、Cadence Allegro、Mentor BoardStation、PADS PowerPCB、Specetra DSN、Zuken CR-3000、Visula / Cadstar for Windows。

打开“ DEMO.HYP ”文件进行 BoardSim 分析。demo 板虽然简单,但是包括了许多混合技术:过孔、表面封装、线宽等元素。该板没有完全完成布线。板上正面的元件是黑色虚线,背面的元件为灰色虚线。

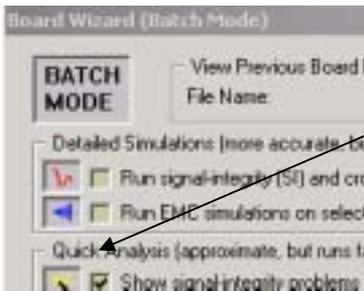
这块板上有许多表贴电阻、电容还有一些连线,但是如果还没有进行仿真它们是看不见的。

4.1 快速分析整板的信号完整性和 EMC 问题

BoardSim 包括了一个有力的,称为“ Board Wizard ”的“ 批 batch-mode ”工作模式。在一个单一的操作中使得你扫描全部或者部分 PCB 板。“Compliance Wizard” 功能允许你详细的、有选择地进行网络仿真。如果你不知道你的板子问题出现在那里,先用“ Board Wizard ”进行快速仿真是最理想的。下面我们将集中讨论这方面的实例。之后再详细介绍“Compliance Wizard” 功能。

使用“ Wizards/Board Wizard ”对“ DEMO.HYP ”进行快速整板仿真(默认上升下降沿时间为 2nS) 1)

4.2 从“ Wizards ”菜单选择“ Board Wizard ”后,出现 Board Wizard 对话框:



令所有设置均采用默认值, Leave all of the check boxes set at their defaults. 在 Quick Analysis 栏有 5 个选项选中。执行“ Next ”直到出现“ Finish. ”, 开始仿真,之后弹出报告框。

4.2 检查报告文件: 报告文件中使  用搜索违反信号完整性的地方。

按下此按钮,将在报告中多次指出可能出现完整性问题的地方。现在在报告中找到“dataId”网络。见表 4.1,指出该网络没有终接电阻、没有驱动定义、

图 4.1 Borad Wizards 部分窗口 网络太长等问题。现在退出报告窗口。

4.3 对于时钟网络详细的仿真

```
NET = dataId
SIGNAL-INTEGRITY STATISTICS
-----
total receiver capacitance ... 23.6 pF
effective net Z0 ..... 61.5 ohms
termination type ..... No termination found
Net has no driver assigned!
  Using default driver rise/fall time
  Use driver IC model for more accurate results
TERMINATION VIOLATIONS
```

4.4 运行详细仿真步骤:

```
** Warning(Severe) **
Net too long!
found length ..... 004.155 in
max. recommended length . 002.230 in
```

这次使用“Compliance Wizard” 功能进行仿真,将给出该网上所接收 IC 有管脚上的报告。该板只有两个时钟网络,仅以此为例进行。

Note:使用“ Compliance Wizard ”功能不仅仅可以处理信号完整性问题,还可以处理交出干扰和 EMC 问题。

a)从“ Wizards ”菜单选择“ Board Wizard ”,在 Quick Analysis 区域关闭所有快速仿真项目(五个选择框)。在 Detailed Simulations 区域只允许仿真信号完整性。按下 Next。

b)在“ Signal Integrity Options ”区域选择前三个选项 (Fast-Strong, Typical, and Slow-Weak), 第四项(Run at High Accuracy)不选。按下 Next 按钮。

c) 在接下来的窗口中点击 “ Nets Spreadsheet ” 按钮打开电子数据表。

	Net Name	Width (mils)	Length (inches)	SI Enable
1	clk	10.00	7.58	<input checked="" type="checkbox"/>
2	clk2	10.00	0.30	<input checked="" type="checkbox"/>

d)见表 4.2 找到"clk"和"clk2", 在 SI Enable 区域点击一次表示允许, 将出现红色对钩。

图 4.2 电子数据表局部

e)将这两个网络的 SI Pin Delay Max 值改为 2.5 ns.然后在表的文件菜单选择 Close 关闭。再点击 Next 按钮,直到 Finish。(这样就确定了采用详细仿真目标是 Clk 和 Clk2 两个网络。)

f) 运行详细仿真时钟网络以后的报告分析：

- 网络上 IC 的每一个脚单列一行
- 并且指出是输入还是输出
- 显示了上升沿和下降沿的最大/最小值延迟
- 每个接收管脚上升/下降沿的过冲电压超过 DC 的数值
- “ crosstalk section ” 项全部显示为 "NA"因为本次仿真该项被关闭。
- 在错误标记列 (ERROR FLAGS) 表示了违反信号完整性的类别,此例中两个接收管脚相对于仿真前的参数设置 ,有过冲("O") 和 延迟 ("D")。有两种其他类别的错误此例中没有显出 failure to achieve threshold and multiple threshold crossings。

```

NET INFORMATION
*****
NET = clk, n00076
SIGNAL-INTEGRITY SIMULATION RESULTS -----
          Delay Rise(ns) Delay Fall (ns) Overshoot(V) Crosstalk(V)  ERROR FLAGS
Device.Pin Dir      min  max      min  max      rise fall  rise  fall  rise  fall
U7.18   in         0.695 2.780  0.774 3.431  1.772 1.772  NA   NA   OD--- OD---
U9.9    in         0.998 2.848  0.942 3.487  1.544 1.544  NA   NA   OD--- OD---
U1.13  out         0.000 1.345  0.000 2.803  0.107 0.107  NA   NA   -----
max. rising overshoot allowed = 300 mV
max. falling overshoot allowed = 300 mV
min. delay allowed              = -5.000 ns
max. delay allowed              = 2.500 ns
    
```

“ Compliance Wizard ” 产生两个可供其他程序使用的文件 a .CSV ("Comma Separated Values") 包括了所有数据可被 Microsoft Excel 读取。

an .SDF ("Standard Delay Format") file (DEMO-SI.SDF)包括管脚延迟信息可被 Verilog 和 VHDL 读取。

4.5 时钟网络 clk 的完整性仿真

前面使用到的是 BoardSim 中的 batch-mode 方式 ,除此之外还有一个交互式的仿真工具象 LineSim 一样利用示波器工具可以看到仿真的波形。

a)从总菜单的 Select 项选择 “ Net by Name ” 出现 Select Net by Name 对话框：

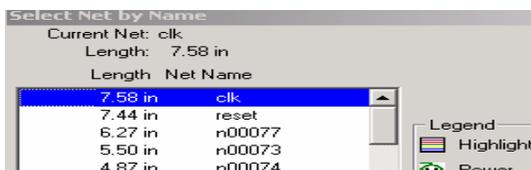


图 4.2 Select Net by Name 对话框

b)在列表区选择双击"clk"。关闭后在 PCB 板上将出现 clk 的布线图。与专用的 PCB 软件一样,如果线条在不同的层,则用不同的颜色表示。

下面使用示波器观察 U1.13、 U7.18、 U9.9 的波形。。

i) 从 Scope/Sim 菜单选择属性探针：在出现的 Attach Oscilloscope Probes 对话框的列表区分别双击 "U1.13"使之对应于 Channel 1、双击"U7.18"对应于 Channel 2、双击"U9.9"对应于 Channel 3。按下 OK 按钮。



图 4.3 选择探头目标

注意 Probe Channels 中通道的不同颜色代表三个探针。(图 4.3)

ii) 然后将驱动波形改为 Oscilloscope，频率为 50MHz。然后定义水平标度为 2 nsec/div。现在。开始运行示波器仿真：

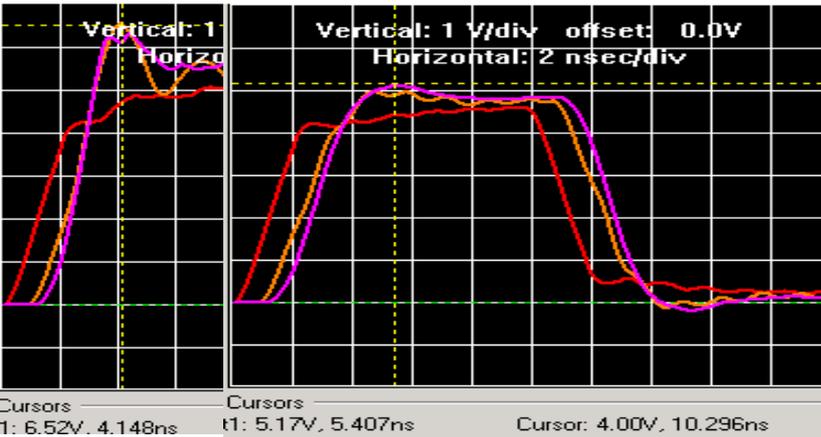


图 4.4 PCB 的 clk 网络仿真（未修正）

图 4.5 修正后 PCB 的 clk 网络仿真

可以看到 U7.18(橙色)的过冲最大(图 4.4)

iii) 使用类似 LineSim 仿真过程中的自动终端的功能，在 BoardSim 仿真时调整时钟网络。

从“ Select ”菜单选择“ Component Models/Values ”项，出现“ Assign Models ”对话框，在管脚列表框单击"R9.1"，看到其数值为 1000 欧姆。单击"C9.1"，看到其数值为 33 pF 。显然前者太大，后者太小。

运行 Terminator Wizard 确定两个元件的数值是非常方便的。从“ Wizards ”菜单选择“ Terminator Wizard. ”出现“ Terminator Wizard ”对话框，此时 Terminator Wizard 已经在运行，并且得到了结果：建议将电阻改为 60.9 欧姆；电容改为 198.5 pF。在窗口中点击“ Apply ”确认。然后再次运行示波器仿真。在图 4.5 中看到过冲明显减小。

小结：BoardSim(布局布线后)仿真是针对已经布好线的 PCB 板。有“快速仿真”和“详细仿真”两种方式。快速仿真的结果以报告的形式完成。详细仿真可以选择指定的网络进行仿真，并且不但可以通过示波器观察波形，还可以运用 Terminator Wizard 进行自动终接负载数值得计算。

第五章 关于集成电路的 Models

6.1 模型 Models 以及如何利用 Terminator Wizard 自动创建终接负载的方法

前面的无论是对 LineSim 或 BoardSim 都跳过了一个重要的元素：实际驱动 IC 的模型，实际上 IC 模型的参数对仿真结果起着非常重要的作用。

一个重要的获取 IC 模型数据的方法是直接从 IC 的生产厂商那里得到相关的库文件。通过 Demo 可以了解一些相应库文件 “.REF”。

从 Edit 菜单里选择 “IC Automapping (.REF)” 打开 Demo 板的设计参考(储存的文件是 <board_name>.REF)。在出现的 .REF 文件编辑器中，在 Part Name 栏中示出了 PCB 板上所有的元器件。

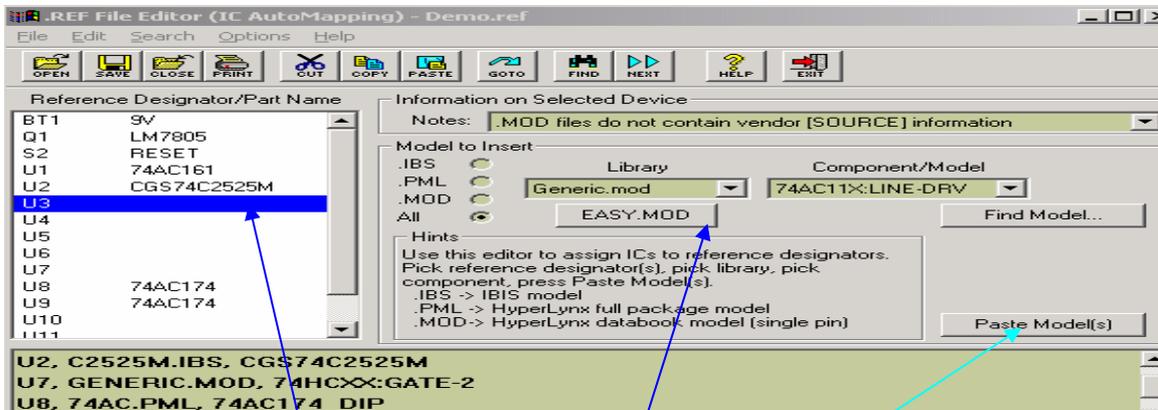
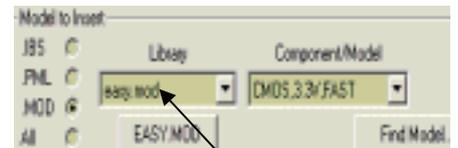


图 5.1 Edit 菜单里的 IC Automapping 对话框

在 “Model to Insert” 区域允许你选择 IC 的模型。由于在开始我们选定了 “clk” 网络，所以在编辑窗口的下方列出了与时钟网络相关的 IC，它们是 U1, U2, U7, U8, and U9。

图 5.2



6.2 修改 U3 的模型设置 (在 EASY.MOD 库里 CMOS,5V,FAST)

- 1) 在图 5.1 窗口的 “Model to Insert” 区域单击 “EASY.MOD” 按钮，弹出模型库 EASY.MOD (图 5.2)。
- 2) 在 “Reference Designator/Part Name” 列表框单击 U3。
- 3) 在 “Model to Insert” 的下拉菜单中单击 “Component/Model” 下拉菜单选择 CMOS,5V,FAST (图 5.2)。
- 4) 单击 “Paste Model(s)” 按钮可对列表中下一个 IC 进行同样的工作。
- 5) 单击 “Save”  按钮。

图 5.2



这样当你仿真时 CMOS,5V,FAST 模型自动加到 U3 的管脚。

Note：关于 EASY.MOD 文件：HyperLynx 提供多余 6,900 IC 模型用于 BoardSim 和 LineSim；从 HyperLynx 网站可以随时随地对这些库进行升级。对于没有包含在 HyperLynx 库中的 IC 模型也有很容易的方法将其加入其中。如果你还没有得到一些 IC 的库参数，但又想进行快速仿真时，一个简单的方法是：只要你知道哪些 IC 是 CMOS 型，还是双集型并且大约了解其开关速率，在 EASY.MOD 库中进行选择即可使用。

6.3 选择模型 (管脚道管脚) Choosing Models Interactively (交互), Pin-by-Pin

有时候你只需要解决 PCB 板上几个可能有问题的网络, 则有更为简单的方法, 称为: pin-by-pin for only the nets of interest (相当于前述的“映射参考设计”)。以 U1 第 13 脚为例。

Interactively choose a model for U1, pin 13 using Select / Component Models/Values:

- 1) 从“Select”菜单选择“Component Models/Values”, 出现“Assign Models”对话框。

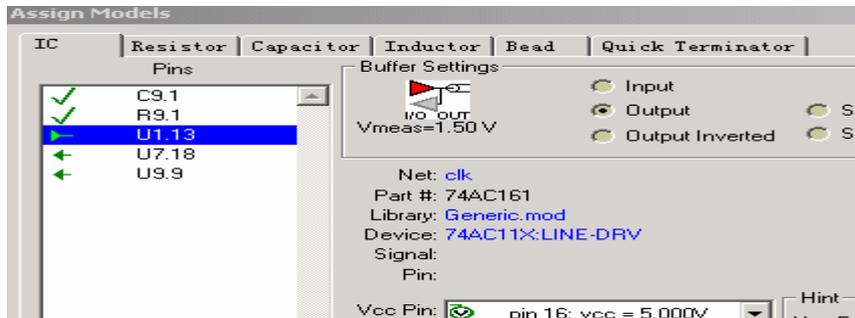
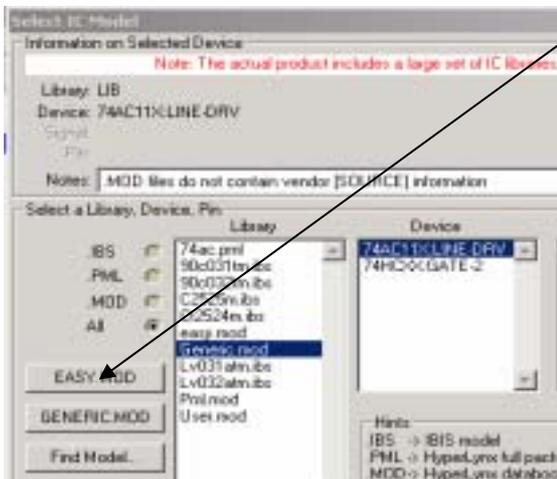


图 5.3 Assign Models 对话框

- 3) 在“Pins”列表框双击“U1.13”。出现“Select IC Model”对话框。



- 4) 单击 GENERIC.MOD 按钮弹出 GENERIC.MOD 库。



- 5) 在“Device”列表框双击“74AC11XX:LINE-DRV”, 此时“Select IC Model”对话框被关闭, 此时 U1, 的第 13 管脚的模型变成 74AC11 线驱动器。



图 5.4 Select IC Models

6.4 搜寻模型 (Finding Models (the "Model Finder" Spreadsheet))

由于 IBIS 库日益增加, 在实际使用时对模型的查找就是一件必要的事情, 虽然 Demo 中所用的模型很少, 但是通过下面的例子可以了解如何使用这种方法。

- 1) 使用“Select”菜单选择“Component Models/Values”(图 5.3), 双击“U1.13”出现图 5.4。
- 2) 单击图 5.4 中的“Find Model”按钮, 出现“Model Finder”电子表格。
- 3) 在此表中可以进行排序、搜寻等常规工作。

HyperLynx 提供使用工具可以升级你从厂商收模型库到 Model Finder 数据库中。

6.5 例子：一个没有终接的网络

如果你需要对一个没有终接负载的网络的负载值需要建议, BoardSim 可以找到最佳类型和数值推荐给你。下面看一个例子：

- 1) 从主菜单的 Select 中选择“choose Net by Name”, 然后选择名字为“data1d”的网络双击, 网络就出现在 PCB 视图上。



图 5.5

2) 下面选择驱动 IC，使用 Select / Component Models/Values; 设置 U3,第 20 脚为"Output"：

a) 从 Select 菜单选择 Component Models/Values(出现图 5.3);在管脚列表区单击“ U3.20 ”点亮它； 在“ Buffer Settings ”设置区单击“ Output radio ”按钮(见图 5.6),软后关闭窗口。

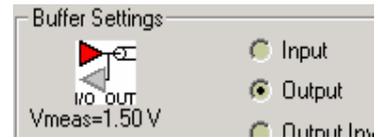


图 5.6

b) 将驱动改为 50MHz 频率，水平刻度 2nS/Div 后进行仿真（当然首先定义示波器探头的位置）

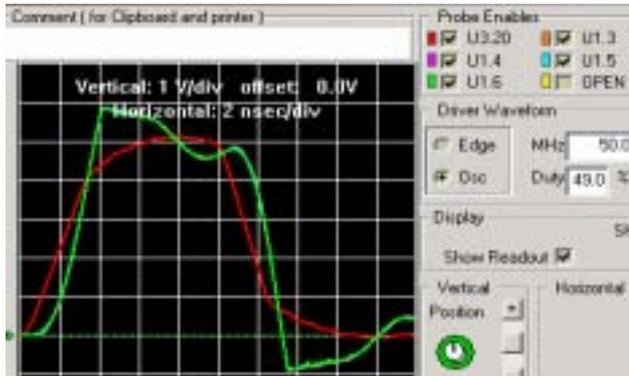


图 5.7 网络 dataId 的仿真

图 5.7 是对 U3.20 脚的仿真结果，波形顶端形状不好。

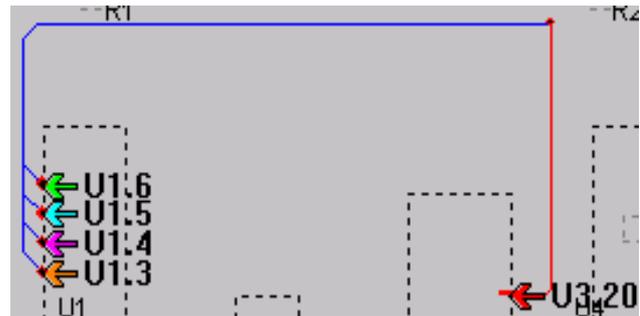


图 5.8 定义 U3.20 为输出驱动

c) 修改参数：从图 5.7 看到红色线是驱动输出，然而接收端(绿色线)过冲相当大，使用 Terminator Wizard 重新配置网络"dataId"。

运行“ Terminator Wizard ”，在报告中可以看到：1.指明了没有终接负载；2.走线太长。

d) 让 Wizard 来建立一个快速“ 虚拟 ”终端元件：点击“ Apply Values ”按钮。然后选择 OK。此时 Terminator Wizard 已经自动创建了推荐的负载。

e) 查看这个建立的终端：从“ Select ”菜单选择“ Component Models/Values ”，出现图 5.3，在管脚列表区 U3.20 旁边出现一个电阻符号 Rs U3.20，这就意味着 Quick Terminator 已经在 U3.20 建立了一个终端电阻。点击窗口上部的 Quick Terminator 标签 将出现所建立的电阻的详细参数（右图）

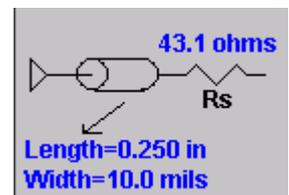


图 5.9

这是一个串连的电阻，之所以选择串连，是因为 BoardSim 总是内在在 IC 管脚与终端之间串接方式路程最短。

再次运行示波器仿真的波形见图 5.10.红色线依然为 U3.20 的驱动信号，其余所有接收端的信号已经全部重叠，过冲现象已经消除。（右图）

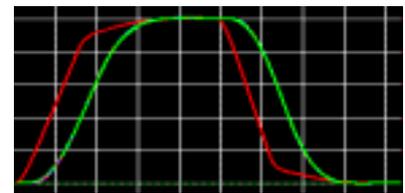


图 5.10 U3.20 终接负载

f) 产生 PCB 板变化的报告

即便你曾多次进行仿真、修改 BoardSim 也会产生一个报告，记录 所有你的改变过程。那就是从“ Reports ”菜单选择“ Design Change Summary ”项就会出现这个报告。

6.6 使用 BoardSim 对 dataId 网络进行 EMC 分析

EMC 仿真工具有两种：“ back-end verification ”和“ front-end design ”。BoardSim 是采用“ front-end ”工具，因为这种方法运行简单而且更容易解决实际问题。

为对"dataId"网路运行“ Spectrum Analyzer ”，须将该网的参数回到终接负载以前的状态，在图 5.3 的 Quick Terminator 标签里选择“ None ”去掉电阻。然后使用 Spectrum/Sim / Run Scope 进行分析。

a) 首先使用 Settings 按钮设置 EMC 仿真天线：从“ Spectrum/Sim ”菜单选择“ Run Scope ”，点击“ Settings ”

按钮，出现图 2.1 窗口，在 “ Antenna and Board Position ” 区域 (图 2.2)，点击关闭 “ Automatically Find Positions ” 选择栏 (去掉图 2.2 中的对勾)。然后在右下方的 Probe Type 区域选择 “ Antenna ” (图 2.3)

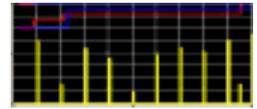
note: “ antenna ” 探针是用来获取网络上电磁场的频谱，地线平面是返回终点； “ current (电流) ” 探针是用来获取探针处的电流。

b) 在 “ PCB Rotation Angle ” 框键入 90 度。 然后关闭。运行 EMC...

进入 “ Spectrum Analyzer ” 对话框，在 Driver Waveform 区域 (图 2.1) 在频率栏中填入 "100"，然后运行。

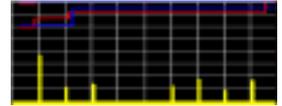
c) 检查频谱仿真结果：尽管图 5.11 中的黄色频谱线没有超出规定，但是有一些已经很接近了。如果实际的设计就是这样，那么将很有可能出现问题。

图 5.11



e) 采用 5.3 中的方法为 dataId 网络建立一个终接负载后，再次运行 EMC 方针的结果见图 5.12，显然电磁辐射大为改观。

图 5.12



小节：本节讲述了如何为 PCB 上的器件配置仿真模型库。重点是 6.3 节通过一个没有终接负载的网络例题，讲述了如何利用 “ Terminator Wizard ” 为网络自动创建终接负载的方法。